**Travail Pratique #3**

INF3500 : Conception et réalisation de systèmes numériques

Rapport remis par :

Anastasiya Basanets (1933929)

Mariam Sarwat (1928777)

Groupe : B1

|  |  |
| --- | --- |
| Critère | Points |
| Partie A  Partie B  Partie C  Rapport : présentation et qualité du français | 2  10  6  2 |
| Total | 20 |

École Polytechnique de Montréal

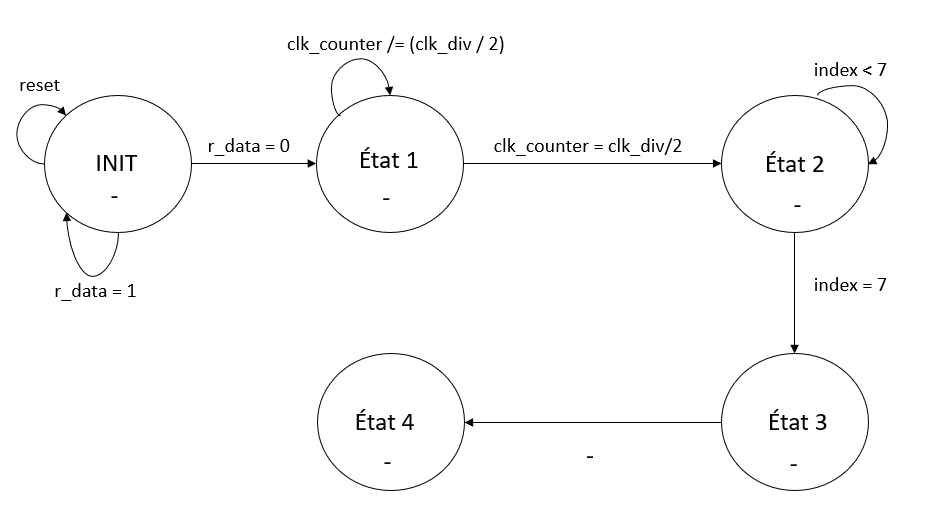
Date de remise (29-03-2019)

**Partie A : Diviseur d’horloge**

Pour implémenter notre diviseur d’horloge à une fréquence de 1 Hz, il suffisait d’instancier la variable CLK\_DIV à 100000000. Le fichier clock\_divider.vhdl, qui était déjà fourni, nous permettait de voir la DEL s’allumer sur notre carte FPGA.

**Partie B : Récepteur UART**

Diagramme de transition des états :



**Partie C : Implémentation**

On a réussi à faire la synthèse jusqu’à générer le bitstream grâce au fichier au fichier top qui nous est fourni. Par contre, comme nous n’utilisons pas la variable de transmission de données, nous ne pouvons pas vérifier le bon fonctionnement de notre code sur la carte FPGA.

NOTE : Nous avons commenté la ligne 19 avec la variable tx\_sdata pour que le bitstream puisse être généré.

**Discussion**

Finalement, nous avons atteint les objectifs de ce laboratoire, soit d’implémenter un circuit séquentiel et d’utiliser le concept de machine à état pour un circuit séquentiel.